

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 2 8 1 9 5 8

(43) 公開日 平成 6 年 (1994) 10 月 7 日

(51) Int. Cl. ⁵

G02F 1/136

1/1343

識別記号

500

庁内整理番号

9119-2K

9017-2K

F I

技術表示箇所

審査請求 未請求 請求項の数 5 F D. (全 6 頁)

(21) 出願番号

特願平 5 - 9 0 6 6 1

(22) 出願日

平成 5 年 (1993) 3 月 2 5 日

(71) 出願人 0 0 0 0 0 2 1 8 5

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 3 5 号

(72) 発明者 橋本 芳浩

東京都品川区北品川 6 丁目 7 番 3 5 号 ソ

ニー株式会社内

(72) 発明者 林 久雄

東京都品川区北品川 6 丁目 7 番 3 5 号 ソ

ニー株式会社内

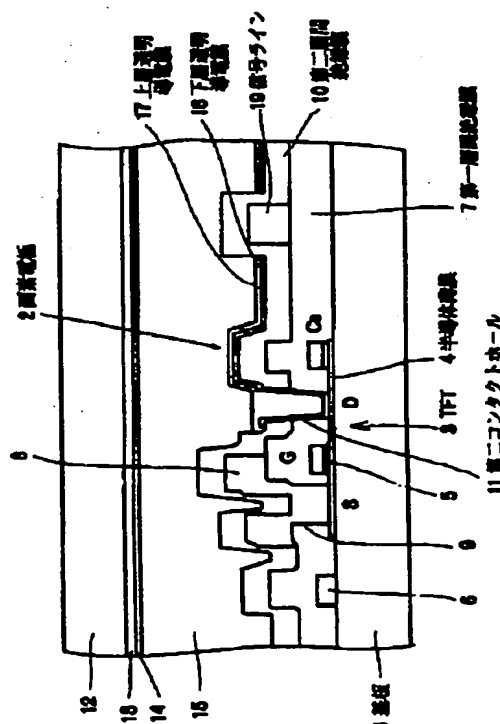
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 アクティブマトリクス型液晶表示装置の画素電極構造を改善し画素欠陥や配向不良を防止する。

【構成】 液晶表示装置は所定の間隙を介して互いに接合した一対の基板 1、12 と該間隙に保持された液晶層 15 とから構成されている。一方の基板 1 の表面にはマトリクス状に配列した画素電極 2 と個々の画素電極を駆動する薄膜トランジスタ 3 とが形成されている。他方の基板 12 の内表面には対向電極 14 が形成されている。画素電極 2 は下層透明導電膜 16 と上層透明導電膜 17 を重ねた積層構造を有している。下層透明導電膜 16 は物理蒸着法又は化学蒸着法により成膜される。上層透明導電膜 17 は塗布法により成膜され、下層透明導電膜 16 の欠陥を補うとともに、基板 1 表面の段差を吸収し平坦化を図ることも可能である。



【特許請求の範囲】

【請求項 1】 マトリクス状に配列した画素電極と個々の画素電極を駆動するスイッチング素子とが形成された一方の基板と、対向電極が形成されており所定の間隙を介して該一方の基板に接合した他方の基板と、該間隙に保持された液晶層とを有する液晶表示装置において、前記画素電極は、物理蒸着法又は化学蒸着法により成膜された下層透明導電膜と、塗布法により成膜された上層透明導電膜とを重ねた積層構造を有する事を特徴とする液晶表示装置。

【請求項 2】 前記上層透明導電膜は、少なくとも画素電極とスイッチング素子との間のコンタクト領域において該下層透明導電膜に重なる事を特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 前記上層透明導電膜は平坦化された表面を有する事を特徴とする請求項 1 記載の液晶表示装置。

【請求項 4】 前記上層透明導電膜は、基板に設けられた遮光領域に沿って区画されたボタン形状を有する事を特徴とする請求項 1 記載の液晶表示装置。

【請求項 5】 基板に規定された画素領域に対して物理蒸着法又は化学蒸着法により下層透明導電膜を形成する工程と、その上に重ねて塗布法により上層透明導電膜を形成する工程とからなる表示装置の画素電極形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はアクティブマトリクス型の液晶表示装置に関する。より詳しくは、マトリクス状に配列した画素電極の構造及び形成方法に関する。

【0002】

【従来の技術】 本発明の背景を明らかにする為に、先ず図 6 を参照して従来のアクティブマトリクス型液晶表示装置の一般的な構成を簡潔に説明する。一方の基板 5 1 の内表面にはマトリクス状に配列された画素が無数に形成されている。個々の画素は透明導電膜をパタニングして得られた画素電極 5 2 とスイッチング駆動用の薄膜トランジスタ 5 3 とから構成されている。各薄膜トランジスタ 5 3 のドレイン電極は対応する画素電極 5 2 に接続され、ソース電極は信号ライン 5 4 に接続され、ゲート電極はゲートライン 5 5 に接続されている。他方の基板 5 6 の内表面には RGB 三原色セグメントからなるカラーフィルタ膜 5 7 及び対向電極 5 8 が積層して形成されている。両基板 5 1、5 6 の間隙内には液晶層 5 9 が保持されている。各基板の内表面は所定の配向処理が施されており、液晶層 5 9 に含まれる液晶分子は例えばツイスト配向されている。さらに、両基板 5 1、5 6 の外表面には各々偏光板 6 0、6 1 が貼着されている。ゲートライン 5 5 を介して行毎に薄膜トランジスタ 5 3 を導通させると、信号ライン 5 4 から供給される画像信号が各画素電極 5 2 に書き込まれる。書き込まれた画像信号に応じて画素電極 5 2 と対向電極 5 8 との間に電圧が印加

され液晶層 5 9 の分子配列が変化する。この変化は一对の偏光板 6 0、6 1 を介して透過率の変化として取り出され画像表示が行なわれる。

【0003】

【発明が解決しようとする課題】 図 7 は画素電極及び薄膜トランジスタが形成された基板の断面構造を示す模式図である。基板 1 0 1 の表面には薄膜トランジスタ 1 0 2 が形成されている。薄膜トランジスタ 1 0 2 は第一層間絶縁膜 1 0 3 によって被覆されている。その上には配線電極 1 0 4 がパタニング形成されており、第一コンタクトホール 1 0 5 を介して薄膜トランジスタ 1 0 2 のソース領域 S に電気接続している。信号ライン 1 0 4 は第二層間絶縁膜 1 0 6 によって被覆されており、その上には所定の形状にパタニングされた画素電極 1 0 7 が形成されている。画素電極 1 0 7 は第二層間絶縁膜 1 0 6、第一層間絶縁膜 1 0 3 に開口された第二コンタクトホール 1 0 8 を介して薄膜トランジスタ 1 0 2 のドレイン領域 D に電気接続している。

【0004】 従来、画素電極 1 0 7 はスパッタリング法により透明導電膜を 1 0 0 ~ 1 5 0 nm の厚みで成膜し、フォトリソグラフィ及びエッチングで所定の形状にパタニングし作成していた。この場合以下の問題が生じ易い。先ず、第二コンタクトホール 1 0 8 内において画素電極 1 0 7 の断線が発生するという問題がある。第二コンタクトホール 1 0 8 は第二層間絶縁膜 1 0 6、第一層間絶縁膜 1 0 3 を通してエッチングにより開口される為エッチングレートの相違等によりサイドエッチやオーバーハングが存在する。このような状態ではスパッタリングにより成膜された透明導電膜のステップカバレッジが悪くなり段切れ 1 0 9 が生じる。

【0005】 又、図 8 に示す様に、スパッタリング処理の前後において基板 1 0 1 表面にダスト等の異物が付着すると、透明導電膜が部分的に欠落し画素内に表示欠陥 1 1 0 が発生するという問題がある。さらに配向むらの問題も生じる。一般に、基板 1 0 1 表面にはポリイミド等からなる配向膜 1 1 1 がコーティングされている。この配向膜 1 1 1 をラビングする事により配向処理が行なわれる。この際、コンタクトホール 1 0 8 や信号ライン 1 1 2 が配設されている領域には鋭角的な段差が発生する為、配向膜 1 1 1 のコーティング厚みがばらつくとともにラビング処理の均一性も乱される。この為、配向むらが生じ画素欠陥となる。

【0006】

【課題を解決するための手段】 上述した従来の技術の課題を解決する為以下の手段を講じた。即ち、本発明にかかる液晶表示装置は基本的な構成要素として、マトリクス状に配列した画素電極と個々の画素電極を駆動するスイッチング素子とが形成された一方の基板と、対向電極が形成されており所定の間隙を介して該一方の基板に接合した他方の基板と、該間隙に保持された液晶層とを備

えている。本発明の特徴事項として、前記画素電極は物理蒸着法又は化学蒸着法により成膜された下層透明導電膜と、塗布法により成膜された上層透明導電膜とを重ねた積層構造を有する。前記上層透明導電膜は少なくとも画素電極とスイッチング素子との間のコンタクト領域において該下層透明導電膜に重なる。前記上層透明導電膜は平坦化された表面を有するものであっても良い。前記上層透明導電膜は基板に設けられた遮光領域に沿って区画されたパタン形状を有するものであっても良い。かかる積層構造を有する画素電極は、基板に規定された画素領域に対して物理蒸着法又は化学蒸着法により下層透明導電膜を形成する工程と、その上に重ねて塗布法により上層透明導電膜を形成する工程とにより作成できる。

【 0 0 0 7 】

【作用】本発明によれば、スパッタリング等の物理蒸着法又は適当な化学蒸着法により下層透明導電膜を形成した後、液状の透明導電材料を塗布し加熱硬化させて画素電極としている。この為、下層透明導電膜に段切れや欠落等の膜欠陥があっても、上層透明導電膜がこれを埋める為容易に欠陥が除去できる。又、塗布膜厚を制御する事により基板表面の段差を吸収し緩和する事が可能になる。これにより配向膜の厚みのばらつきが少なくなりラビング処理も均一に行なえるので配向不良を効果的に抑制できる。この際、上層透明導電膜は所定の導電性を備えている為、一般的な絶縁物からなる平坦化膜と異なり電圧降下の惧れがない。

【 0 0 0 8 】

【実施例】以下、図面を参照して本発明の好適な実施例を詳細に説明する。図 1 は、本発明にかかる液晶表示装置の第一実施例を示す模式的な部分断面図である。一方の基板 1 にはマトリクス状に配列した画素電極 2 (1 個のみ図示) と個々の画素電極 2 を駆動するスイッチング素子とが形成されている。本実施例ではこのスイッチング素子は薄膜トランジスタ (T F T) 3 からなる。 T F T 3 は島状にパタニングされた半導体薄膜 4 (例えば多結晶シリコン薄膜) を素子領域として構成されている。半導体薄膜 4 の上には絶縁膜 5 を介してゲート電極 G がパタニング形成されている。なお、ゲート電極 G と同時にゲートライン 6 も基板 1 上にパタニング形成される。ゲート電極 G の両側において半導体薄膜 4 には不純物が高濃度に注入されたソース領域 S 及びドレイン領域 D が形成されている。同時に、島状半導体薄膜 4 の端部には付加容量 C s も設けられている。これらの薄膜トランジスタ 3、ゲートライン 6、付加容量 C s は P S G 等からなる第一層間絶縁膜 7 により被覆されている。第一層間絶縁膜 7 の上には配線電極 8 がパタニング形成されており、第一コンタクトホール 9 を介して T F T 3 のソース領域 S に電気接続している。配線電極 8 と同時に信号ライン 1 9 もパタニング形成されている。なお配線電極 8 と信号ライン 1 9 は互いに結線されている。これらの配

線電極 8 及び信号ライン 1 9 は所望の金属材料を成膜した後フォトリソグラフィ及びエッチングによりパタニングして形成される。金属材料としては、例えば A l、C r、T i、C u、A u、A g、又はこれらの合金等を用いる事ができる。これら配線電極 8 及び信号ライン 1 9 は P S G 等からなる第二層間絶縁膜 1 0 により被覆されている。第二層間絶縁膜 1 0 の上には前述した画素電極 2 がパタニング形成されており、第二コンタクトホール 1 1 を介して T F T 3 のドレイン領域 D に電気接続している。

【 0 0 0 9 】一方上側の基板 1 2 の内表面にはカラーフィルタ膜 1 3 及び対向電極 1 4 が重ねて形成されている。上下一対の基板 1、1 2 は所定の間隙を介して接合されており、内部には液晶層 1 5 が保持されている。なお、両基板 1、1 2 の内表面は所定の配向処理が施されており液晶層 1 5 は例えばツイスト配向される。

【 0 0 1 0 】本発明の特徴事項として画素電極 2 は下層透明導電膜 1 6 と上層透明導電膜 1 7 からなる積層構造を有している。下層透明導電膜 1 6 は物理蒸着法又は化学蒸着法により成膜される。本実施例では物理蒸着法の一例であるスパッタリングを用いている。通常、下層透明導電膜 1 6 の膜厚は 1 3 0 ~ 1 5 0 n m 程度に設定される。一方、上層透明導電膜 1 7 は塗布法により成膜される。具体的な塗布方法としてはスピンコート、ロールコート、ディッピング、転写等が挙げられる。本実施例ではスピンコートを用いて液状の透明導電材料を塗布している。これは、透明導電物質の微粉粒を所定の溶媒に分散したものである。塗布後 2 0 0 ℃ ~ 4 5 0 ℃ の温度でアニールもしくは焼成し硬化させる事により透明導電膜が得られる。その膜厚は通常 1 0 0 ~ 5 0 0 n m 程度に設定される。但し、これは例示であって本発明の範囲を限定するものではない。上層透明導電膜 1 7 を塗布する事により下層透明導電膜 1 6 の段切れや欠落を埋める事ができる。本実施例では特に下層透明導電膜 1 6 の欠陥を補う事を目的としており、この為上層透明導電膜 1 7 の膜厚は 1 0 0 n m 程度の比較的薄目に設定されている。下層透明導電膜 1 6 と上層透明導電膜 1 7 を積層した後フォトリソグラフィ及びエッチングにより一括してパタニングし画素毎に分離した画素電極 2 が形成される。なお、画素電極 2 を塗布法により成膜された透明導電膜のみで構成する事も考えられる。しかしながら、塗布法による透明導電膜は物理蒸着又は化学蒸着による透明導電膜に比べ抵抗値が高い。従って、単独で使用すると電圧降下の問題が生じるので適切ではない。下層透明導電膜 1 6、上層透明導電膜 1 7 の材料としては、例えば I T O や S n O₂ 等を用いる事ができる。

【 0 0 1 1 】図 2 は本発明にかかる液晶表示装置の第二実施例を示す模式的な部分断面図である。図 1 に示した第一実施例と基本的に同一の構造を有しており、対応する部分には対応する参照番号を付して理解を容易にして

いる。本実施例の特徴事項として、上層透明導電膜 1 7 は比較的厚目に成膜されており基板 1 表面の凹凸をある程度吸収している。塗布法としてスピコートを採用した場合回転数を調整する事により塗布膜厚を容易に制御する事が可能である。又、本実施例では下層透明導電膜 1 6 の成膜及びパタニングをした後、上層透明導電膜 1 7 を成膜し別々にパタニングしている。この際、基板 1 に設けられた遮光領域に沿って上層透明導電膜 1 7 をパタニングし個々の画素毎に区画分離している。これにより、画素電極 2 と遮光領域の整合性が良くなり表示コントラストが改善される。なお、本実施例では配線電極 8 及び信号ライン 1 9 等が遮光領域を構成しておりブラックマスクとして機能する。

【0012】図 3 は本発明にかかる液晶表示装置の第三実施例を示す模式的な部分断面図である。前述した第二実施例と基本的に同一の構造を有しており、対応する部分には対応する参照番号を付して理解を容易にしている。本実施例の特徴事項として、上層透明導電膜 1 7 の膜厚が例えば 2000nm 程度に設定されており下地の凹凸を略完全に吸収しているので表面は完全に平坦化されている。従って、本実施例では上層透明導電膜 1 7 は平坦化膜として機能する。なお、前述した様にスピコートを用いて塗布した場合回転数を調整する事によりスループットに影響する事なく膜厚制御が行なえる。従来の絶縁物からなる平坦化材に比べ耐熱範囲が広く 450℃程度までは問題なく加熱処理する事ができる。又、抵抗値の制御も容易であり、例えば高抵抗で上層透明導電膜を形成した場合ラビング時の静電ダメージ等を回避する事が可能である。図示する様に、平坦化された上層透明導電膜 1 7 の上にはポリイミド等の配向膜 20 が成膜されている。平坦化された表面に成膜する為その膜厚は極めて均一であるとともに、ラビング処理も一様に行なえる。この結果、従来に比べ配向むらや配向不良が著しく減少した。

【0013】図 4 は本発明にかかる液晶表示装置の第四実施例を示す模式的な部分断面図である。基本的には図 1 に示した第一実施例と同一の構造を有しており、対応する部分には対応する参照番号を付して理解を容易にしている。本実施例の特徴事項として、上層透明導電膜 1 7 は第二コンタクトホール 11 内にのみ配置されており、主として下層透明導電膜 1 6 の段切れ欠陥を補う様にしている。例えば、液状の透明導電材料を全面に塗布した後フォトリソグラフィ及びエッチングにより所定の形状にパタニングして、コンタクト領域以外から上層透明導電膜を除去すれば良い。

【0014】図 5 は本発明にかかる液晶表示装置の第五実施例を示す模式的な部分断面図である。基本的には図 3 に示した第三実施例と同様な構造を有しており、理解を容易にする為対応する部分には対応する参照番号を付してある。本実施例の特徴事項として、配線電極 8 及び

透明電極 2 が同一の第一層間絶縁膜 7 の上に形成されている。この為、第一コンタクトホール 9 及び第二コンタクトホール 11 は同時にエッチングで開口する事ができ製造プロセスが簡略化される。特に、第二コンタクトホール 11 についてはサイドエッチやオーバーハングの惧れが少なくなる。本実施例では、先ず最初の下層透明導電膜 1 6 を成膜し且つパタニングした後、配線電極 8 を成膜パタニングしている。次いで第二層間絶縁膜 10 を全面的に被覆する。その後画素領域と整合する様に第二層間絶縁膜 10 をエッチングで部分的に除去し、下層透明導電膜 1 6 を露出させる。その上に塗布法で上層透明導電膜 1 7 を成膜し第二コンタクトホール 11 を埋めるとともに基板表面の平坦化を図っている。

【0015】

【発明の効果】以上説明した様に、本発明によれば、物理蒸着法又は化学蒸着法により下層透明導電膜を形成した後、塗布法により上層透明導電膜を形成して積層構造の画素電極を得ている。この為、下層透明導電膜に段切れや欠陥等の膜欠陥が存在しても上層透明導電膜でこれを補う事ができる為画素欠陥不良を救済する事ができるという効果がある。又スピコーティング等の塗布法により上層透明導電膜を成膜する為膜厚制御が容易であり、基板表面の全体的な段差緩和が図れこれにより配向不良が抑制できるという効果がある。さらに、上層透明導電膜は所定の導電率を有している為下層透明導電膜を被覆しても電圧降下の惧れがなく画素の駆動に悪影響を及ぼす惧れがないという効果がある。又、ラビング処理時に発生する静電気等に対して薄膜トランジスタ等を有効に保護する事ができるという効果がある。

【図面の簡単な説明】

【図 1】本発明にかかる液晶表示装置の第一実施例を示す模式的な部分断面図である。

【図 2】同じく第二実施例を示す模式的な部分断面図である。

【図 3】同じく第三実施例を示す模式的な部分断面図である。

【図 4】同じく第四実施例を示す模式的な部分断面図である。

【図 5】同じく第五実施例を示す模式的な部分断面図である。

【図 6】従来のアクティブマトリクス型液晶表示装置の一般的な構成を示す斜視図である。

【図 7】従来の液晶表示装置の課題を説明する為の模式図である。

【図 8】同じく従来の液晶表示装置の課題を説明する為の模式図である。

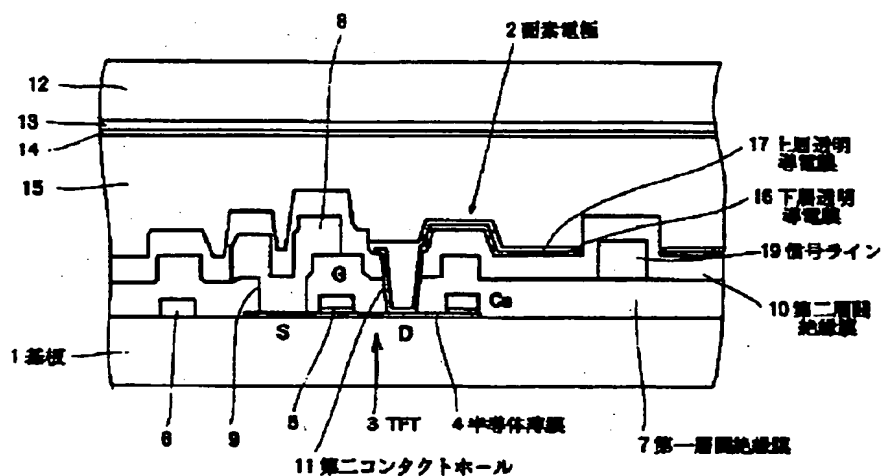
【符号の説明】

- 1 基板
- 2 画素電極
- 3 薄膜トランジスタ

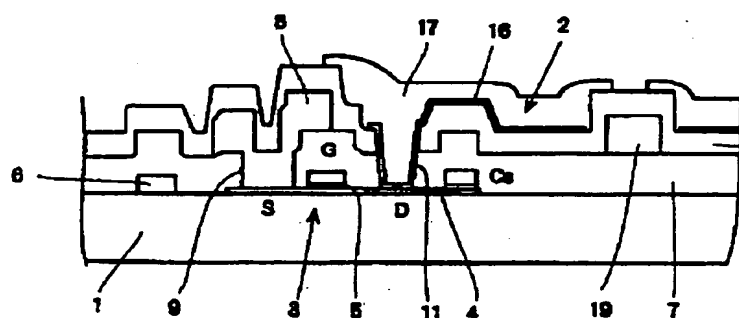
- 4 半導体薄膜
5 絶縁膜
6 ゲートライン
7 第一層間絶縁膜
8 配線電極
9 第一コンタクトホール
10 第二層間絶縁膜
11 第二コンタクトホール

- 12 基板
13 カラーフィルタ膜
14 対向電極
15 液晶層
16 下層透明導電膜
17 上層透明導電膜
19 信号ライン
20 配向膜

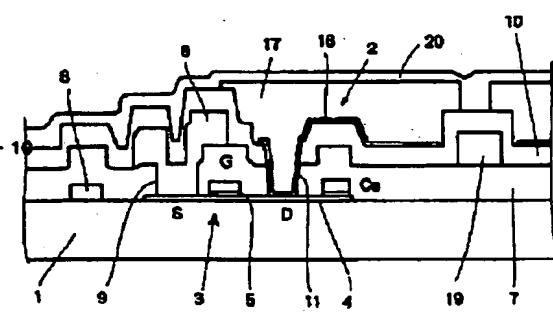
【図 1】



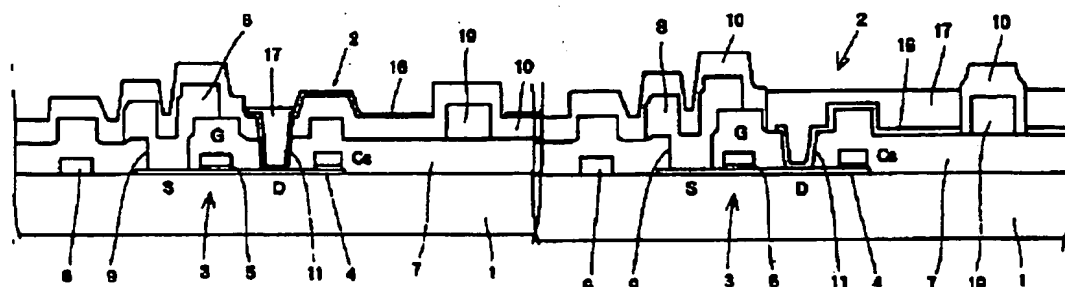
【図 2】



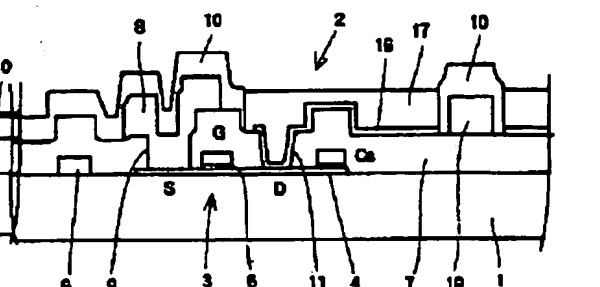
【図 3】



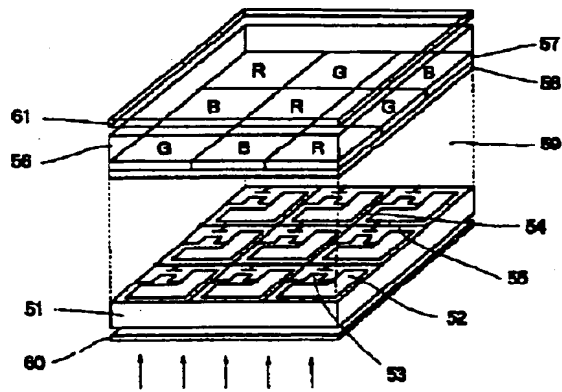
【図 4】



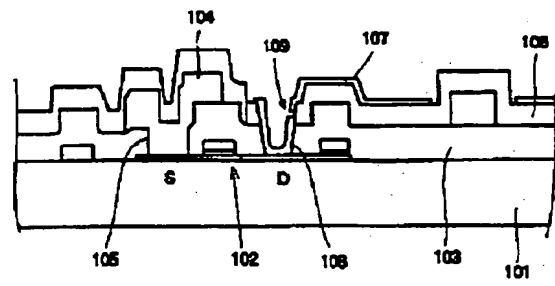
【図 5】



【図 6】



【図 7】



【図 8】

